

2023(第五届)集成电路 EDA 设计精英挑战赛

赛题指南

一、赛题名称

标准单元电路的版图自动生成

二、命题企业

上海概伦电子股份有限公司

三、赛题 Chair:

叶佐昌（清华大学）

四、赛题背景

在数字电路标准单元库的开发中，版图设计是最重要的环节之一。目前标准单元的版图绘制仍然以人工绘制为主，而库中单元的数量往往多达上千颗，导致整个标准单元库的开发周期较长。如果能够提高标准单元版图设计自动化的程度，整个库的开发周期将大大缩减。

标准单元的版图设计中，通常包含两个环节——晶体管布局和布线。本赛题重点关注布局环节，主要考虑组合逻辑和时序逻辑的标准单元，包含 NMOS 和 PMOS 晶体管。在本题中，平面工艺下简化后的布局问题如图 1 所示，标准单元将被放在两条电源轨道 (Power Rail) 之间，高度固定，宽度不定。

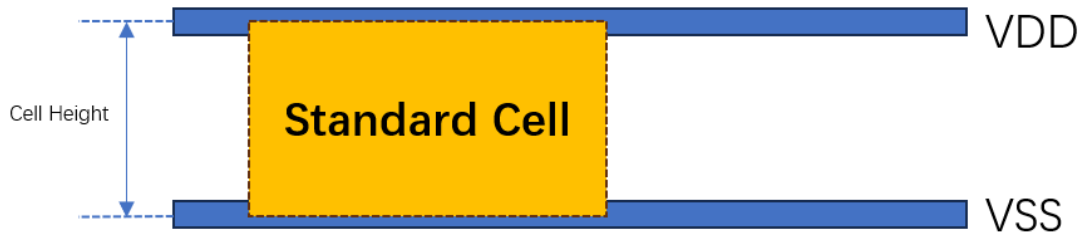


图 1

在标准单元的内部，晶体管按两行依次放置，PMOS 晶体管在上面一行，NMOS 晶体管放在下面一行，本题中所有晶体管的有源区向电源轨道对齐，如图 2，详细描述见赛题描述。

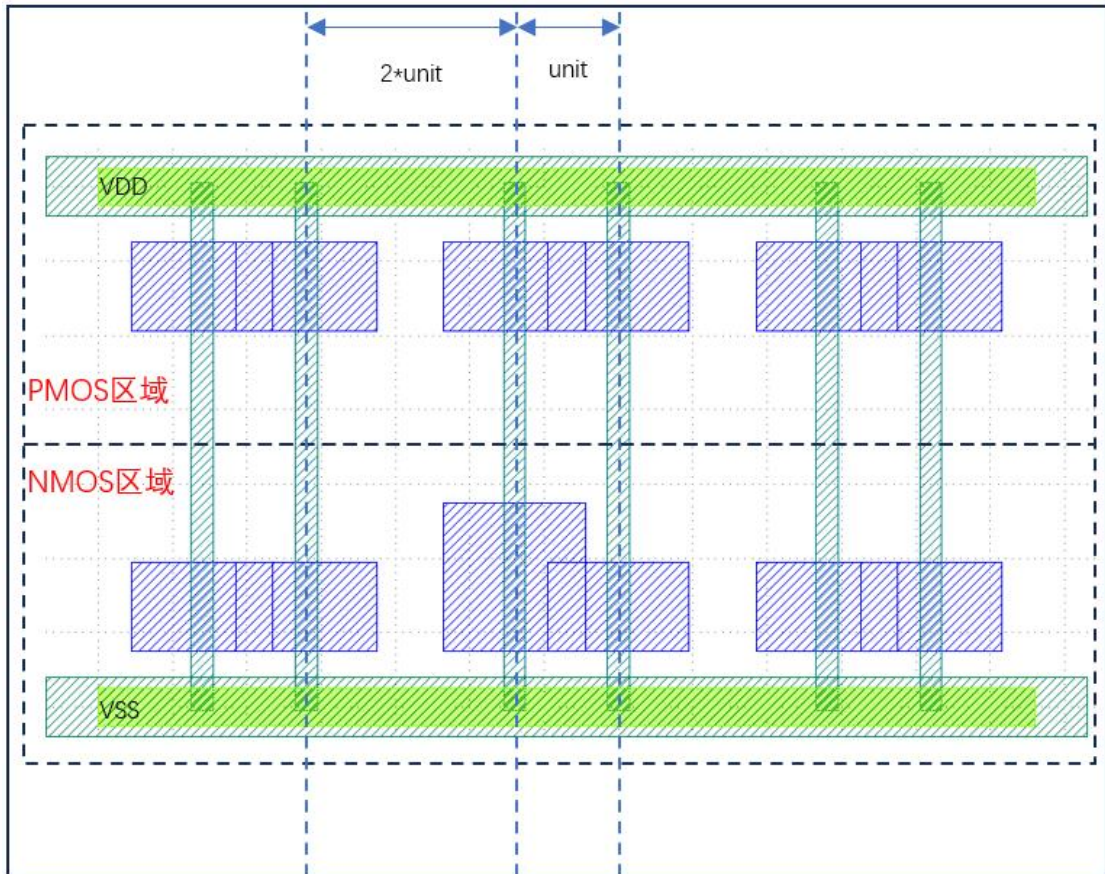


图 2 标准单元布局示意图

注：1. 晶体管由两个矩形表示，垂直矩形为栅极，蓝色矩形为有源区。2. 图中上下两侧的绿色矩形为电源轨道，分别连接

VDD 和 VSS。3. 整个标准单元被等分为两个部分，上半部分为 PMOS 晶体管可放置的区域，下半部分为 NMOS 晶体管可放置的区域。4. 所有晶体管有源区向两侧电源轨道对齐。5. 同一水平位置的晶体管栅极会直接相连。6. 若两个晶体管的有源区重叠，则其栅极间距为 1 个单位长度，此时要求重叠部分所连线网相同；若不重叠，则其栅极间距至少为 2 个单位长度。7. 本题中任意两个晶体管的栅极间距都为整数个单位长度。

在进行晶体管布局时，版图工程师通常需要考虑以下这些内容：

Area	面积是布局阶段的重要优化目标。一般来说，共享有源区是优化面积的主要方式，但是过分地优化宽度将会导致无法完成布线、无法引出 pin 或是出现 DRC 不可满足等问题。
Routability	可布线性是布局阶段必须要考虑的因素。
Symmetry	对于某些相似的电路结构，设计者往往会把相应的晶体管对称放置。包括上下对称和左右对称，其中上下对称通常表现为栅极相互匹配，左右对称表现为多输入信号的晶体管分别放在左右两侧。本题中只考虑上下对称的情况。
Pin access	一般来说，上层的布线器会希望标准单元的 pin 更易于被连接，否则会影响芯片整体的性能。
DRC	例如单元高度会限制晶体的最大宽度等。本题中只考虑 notch 的问题，具体描述见图 5。

在现有的标准单元布局算法的研究中，对面积和可布线性的

优化算法已经有较多的参考。但是由于缺乏对其他内容的考虑，算法自动生成的布局通常无法直接被使用，尤其是在一些较为复杂的标准单元中，版图工程师往往需要花上 1-2 周的时候去调整和优化布局。

五、赛题描述

(一) 概伦电子将提供某平面工艺下标准单元库中所有单元的晶体管级网表。

(二) 本题中布局问题的数学描述如下：

对于任意标准单元 C ，我们定义：

$NETS = \{net_i | i = 0, 1, 2, \dots, N_{net}\}$ ，其中 N_{net} 为线网的数量。

$MOS = \{m_i = (x_i, y_i, s_i, g_i, d_i, w_i) | x_i \in N, y_i = 0 \text{ or } 1, s_i, g_i, d_i \in NETS, i = 0, 1, 2, \dots, N_m\}$

其中 x_i 为该晶体管的水平方向的相对位置， w_i 为沟道宽度。

y_i 为晶体管类型，0 表示 NMOS，1 表示 PMOS。

s_i, g_i, d_i 分别表示晶体管左侧、栅极和右侧所连接的线网。

$P = \{p | p \in NETS\}$ 为 pin 的集合，定义 N_{pin} 为 pin 的数量

要求确定所有晶体管 m_i 的状态 $s_i = (x_i, f_i)$ ，满足：

(1) 若 $x_i - x_j = 1$ ，则 $s_i = d_j$ ；若 $x_j - x_i = 1$ ，则 $s_j = d_i$ ；

(2) 若 $y_i = y_j$ ，则 $x_i \neq x_j$ ；

(3) 若 $x_i = x_j$ ，则 $g_i = g_j$ ；其中 f_i 表示晶体管是否翻转源漏。

以与非门 (NAND2V1) 为例，其网表为：

```
.SUBCKT NAND2V1 A1 A2 ZN VDD VSS
```

```
MM1 ZN A1 net18 VSS n09_ckt W=0.12u L=30.00n
```

```

MMN1 net18 A2 VSS VSS n09_ckt W=0.12u L=30.00n
MM0 ZN A2 VDD VDD p09_ckt W=0.12u L=30.00n
MMP1 ZN A1 VDD VDD p09_ckt W=0.12u L=30.00n
.ENDS

```

假设其布局结果如图 3:

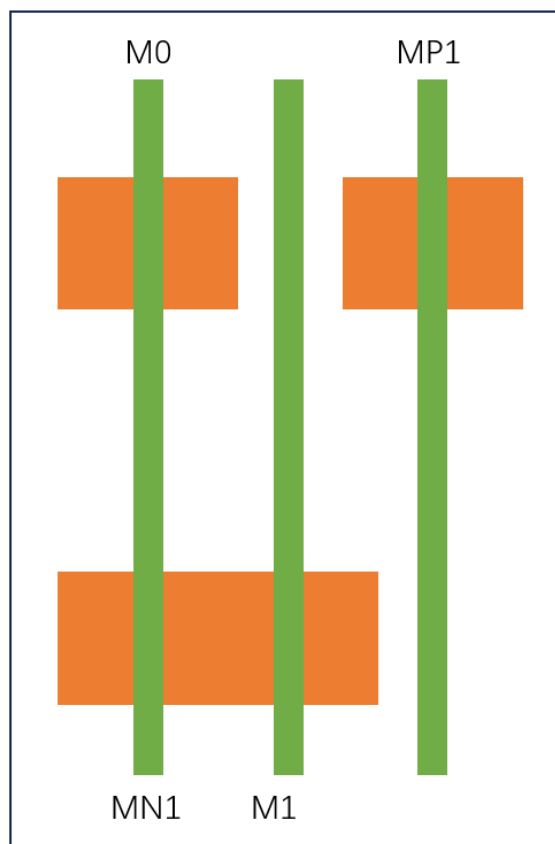


图 3 NAND2V1 布局示意图

那么:

$$M1 = (1,0, \text{net18}, A1, ZN, 120\text{nm})$$

$$MN1 = (0,0, \text{VSS}, A2, \text{net18}, 120\text{nm})$$

$$M0 = (0,1, \text{VDD}, A2, ZN, 120\text{nm})$$

$$MP1 = (2,1, ZN, A1, VDD, 120nm)$$

(三) 参赛者需要提供脚本或程序，输入为网表文件，输出为包含版图信息的 json 文件，输出文件的格式见**赛题数据说明**。

(四) 本赛题提供对布局结果进行打分的脚本，具体计算方式见**评分标准**。

六、赛题数据说明

(一) 单元库网表

在该标准单元库中，晶体管沟道长度为 30nm，其中除了包含基本的组合逻辑电路（INV，AND，AD 等）以外，还包含大量较为复杂的时序逻辑电路（LATCH，DFF，SDFE，SEDRNQ 等）。该库中标准单元内的晶体管总数量小于 50（包括 PMOS 和 NMOS）。

(二) 晶体管折叠

本题中定义的晶体管不考虑多个并联的情况。对于库中沟道长度较大的晶体管，需要先将其折叠为多个宽度合适的晶体管，这里我们给出晶体管宽度范围及其建议值以简化问题：

	值
最小折叠宽度	120nm
晶体管最大宽度	220nm
建议的晶体管折叠宽度	200nm

注：晶体管折叠不是本赛题主要考察的内容，请将晶体管折叠成尽可能大的宽度。

（三）布局结果

以每个 MOS 晶体管的名字为 key（若为折叠后的晶体管，加上 `_finger${id}` 后缀名用以区分，具体格式参考 `example.json`），value 为字典，各属性含义如下表：

属性字段	含义	值范围
x	水平方向的相对位置，值为整数。 放在最左侧的 MOS 晶体管 x=0	≥ 0 ，整数
y	0 表示 NMOS，1 表示 PMOS	0 或 1
source	MOS 晶体管左侧所连接线网	字符串
gate	MOS 晶体管栅极所连接线网	字符串
drain	MOS 晶体管右侧所连接线网	字符串
width	MOS 晶体管的沟道宽度	≥ 0 ，整数，单位为 nm

七、评分标准

评价指标	评分权重	计算公式	备注
布局宽度	50	$\max_{0 \leq i \leq N_m} x_i + 1$	

布线复杂度		10	$\sum_{n \in NETS} \max_{i, j \in M_n} x_i^n - x_j^n ,$ <p>其中 $M_n = \{m_i m_i \in MOS$ 且被 n 连接}</p>	所有线网所占宽度之和，不考虑 VDD, VSS。
对称性		10	<p>满足：</p> $ \{x_i x_i = x, i = 0, 1, \dots, N_m\} = 1$ <p>的整数 x 的个数</p>	栅极不配对的晶体管数量，具体描述见 图 4 。越小表示对称性越好。
pin 密度		10	$\frac{1}{N_{pin}} \sum_{i=0}^{N_{pin}} (p_i - \mu)^2$	pin 位置的方差。当存在多个位置时，选择距离周围 pin 最远的 x 坐标。这里也不考虑 VDD, VSS。
DRC		10	<p>存在三个连续的晶体管 i, j, k, 使得：</p> $x_i = x_j - 1 = x_k - 2$ $y_i = y_j = y_k$ $w_j < w_i, w_j < w_k$	有源区凹槽。若存在该情况，则为 0 分，否则满分。具体描述见 图 5 。
运行时间		10	$1 - sigmoid(t - 1)$	单位：小时 要求内存消耗 < 10G

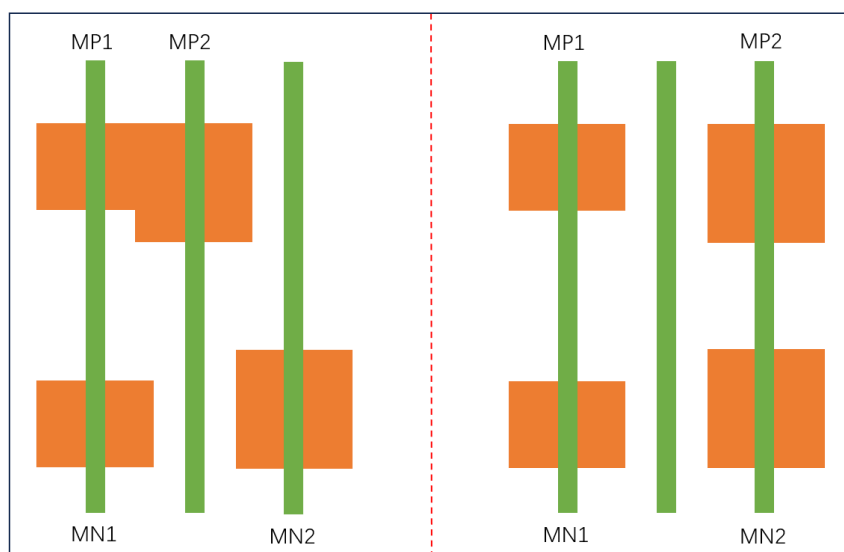


图 4 对称性比较

注：左图中 MP2 未与 MN2 栅极配对，虽然宽度和右图相等，但是右图的对称性更好。本题中对称性得分就是计算栅极未配对的晶体管数量。例如左图对称性得分 $10-2=8$ ，右图对称性得分 $10-0=10$ 。

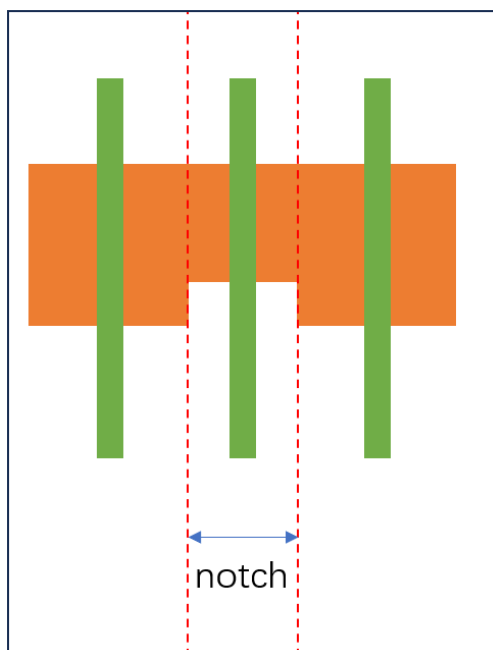


图 5 notch

注：当左右两侧的晶体管宽度大于中间晶体管时，将产生有源区凹槽，导致 min spacing 设计规则违背。

每个标准单元的得分将根据上述六个评价指标加权后计算得出。每个标准单元在最终得分中的占比将由其 MOS 晶体管的数量决定，计算所有标准单元的加权分数之和，得出最终分数。

八、附加说明

相关领域的参考文献：

- [1] 马琪,王旭;CMOS 单元版图生成中的晶体管布局算法[J];电路与系统学报;2004 年 04 期.
- [2] 马琪,罗小华,严晓浪;CMOS 单元版图生成算法综述[J];微电子学;2001 年 03 期.
- [3] Schneider, Jan: Transistor-Level Layout of Integrated Circuits. - Bonn, 2014. - Dissertation, Rheinische Friedrich-Wilhelms-Universität Bonn.